



2614

Docket No. 1232-4726**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Applicant(s): Kazuhiro IMAIZUMI

Group Art Unit: 2614

Serial No.: 09/885,734

Examiner:

RECEIVED

Filed: June 20, 2001

JAN 1 8 2002

For: IMAGE PROCESSING APPARATUS

Technology Center 2600

CERTIFICATE OF MAILING (37 C.F.R. §1.8(a))Commissioner for Patents
Washington, D.C. 20231

Sir:

I hereby certify that the attached:

1. Claim to Convention Priority
2. Certified copy of priority document
3. Return Receipt Postcard

along with any paper(s) referred to as being attached or enclosed and this Certificate of Mailing are being deposited with the United States Postal Service on date shown below with sufficient postage as first-class mail in an envelope addressed to the: Commissioner for Patents, Washington, D.C., 20231.

Respectfully submitted,
MORGAN & FINNEGAN, L.L.P.Dated: November 14, 2001

By:

Helen Tiger
Helen Tiger**Correspondence Address:**MORGAN & FINNEGAN, L.L.P.
345 Park Avenue
New York, NY 10154-0053
(212) 758-4800 Telephone
(212) 751-6849 Facsimile



27123

PATENT TRADEMARK OFFICE

Docket No. 1232-4726

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Kazuhiro IMAIZUMI

Group Art Unit: 2614

Serial No.: 09/885,734

Examiner:

Filed: June 20, 2001

For: IMAGE PROCESSING APPARATUS

RECEIVED

JAN 18 2002

Technology Center 2600

CLAIM TO CONVENTION PRIORITY

Commissioner for Patents
Washington, D.C. 20231

Sir:

In the matter of the above-identified application and under the provisions of 35 U.S.C. §119 and 37 C.F.R. §1.55, applicant(s) claim(s) the benefit of the following prior application(s):

Application(s) filed in: Japan

In the name of: Canon Kabushiki Kaisha

Serial No(s): 2000-184834

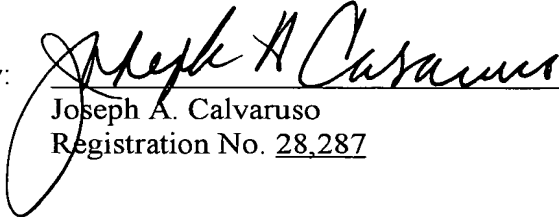
Filing Date(s): June 20, 2000

- ☒ Pursuant to the Claim to Priority, applicant(s) submit(s) a duly certified copy of said foreign application.
- ☐ A duly certified copy of said foreign application is in the file of application Serial No. _____, filed _____.

Respectfully submitted,
MORGAN & FINNEGAN, L.L.P.

Dated: November 14, 2001

By: _____


Joseph A. Calvaruso
Registration No. 28,287

Correspondence Address:

MORGAN & FINNEGAN, L.L.P.
345 Park Avenue
New York, NY 10154-0053
(212) 758-4800 Telephone
(212) 751-6849 Facsimile



(translation of the front page of the priority document of
Japanese Patent Application No. 2000-184834)

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the
following application as filed with this Office.

Date of Application: June 20, 2000

Application Number : Patent Application 2000-184834

Applicant(s) : Canon Kabushiki Kaisha

July 3, 2001

Commissioner,
Patent Office

Kouzo OIKAWA

Certification Number 2001-3062251



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

出願年月日

2000年 6月20日

出願番号

特願 2000-184834

出 願 人

キヤノン株式会社

JAN 18 2002

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

2001年 7月 3日

特許庁長官
Commissioner,
Japan Patent Office

耕川及

出訂年月 出訂號 8 0 0 1 8 0 0 0 0 5 1

【書類名】 特許願

【整理番号】 4036112

【提出日】 平成12年 6月20日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/225

【発明の名称】 撮像装置

【請求項の数】 4

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 今泉 和宏

【特許出願人】

【識別番号】 000001007

【住所又は居所】 東京都大田区下丸子3丁目30番2号

【氏名又は名称】 キヤノン株式会社

【代表者】 御手洗 富士夫

【代理人】

【識別番号】 100066061

【住所又は居所】 東京都港区新橋1丁目18番16号 日本生命新橋ビル
3階

【弁理士】

【氏名又は名称】 丹羽 宏之

【電話番号】 03(3503)2821

【選任した代理人】

【識別番号】 100094754

【住所又は居所】 東京都港区新橋1丁目18番16号 日本生命新橋ビ
ル3階

【弁理士】

【氏名又は名称】 野口 忠夫

【電話番号】 03(3503)2821

【手数料の表示】

【予納台帳番号】 011707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703800

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 撮像装置

【特許請求の範囲】

【請求項 1】 光学系からの入射光を光電変換したのちにリセット期間と基準レベルであるフィールドスルー期間と光電変換信号期間とにより構成された信号を所定周期で繰り返す撮像信号を出力する固体撮像素子と、この固体撮像素子から出力された撮像信号を相関二重サンプリング回路に入力して得られた C D S 回路出力の映像信号をさらに処理して所定のデジタル記録フォーマット形式映像信号に変換して出力する映像信号処理部とを備えた撮像装置において、前記映像信号処理部は、前記デジタル記録フォーマット形式映像信号の水平帰線期間中に付加された映像信号データの水平方向のスタート位置およびエンド位置を示すビット列中の特定のビットのデータ遷移点が前記相関二重サンプリング回路におけるフィールドスルー期間および光電変換信号期間をサンプリングする期間に時間的に重ならないように映像信号を遅延させる信号遅延手段を有することを特徴とする撮像装置。

【請求項 2】 請求項 1 記載の撮像装置において、前記信号遅延手段は、遅延時間が固定されているものであることを特徴とする撮像装置。

【請求項 3】 請求項 1 記載の撮像装置において、前記信号遅延手段は、遅延時間が変更可能なものであることを特徴とする撮像装置。

【請求項 4】 請求項 1 記載の撮像装置において、前記遅延手段は、前記映像信号処理部の最終段回路とこれに接続されるデジタルパラレルバスドライブ回路との間に設けられていることを特徴とする撮像装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、撮像装置に関し、特にそのモニターなどに現れるタテスジの固定パターンノイズの除去に関するものである。

【 0 0 0 2 】

【従来の技術】

映像信号を記録媒体にデジタル信号にて記録する装置としては、被写体の映像を静止画でメモリ素子またはディスクに記録するいわゆるデジタルスチルカメラや、被写体の映像を動画で磁気テープを用いてデジタル記録するビデオテープレコーダとしてカメラ一体型デジタルビデオテープレコーダ等が実用化されている。

【0003】

例えば従来のカメラ一体型デジタルビデオテープレコーダは、レンズを透過した入射光を結像させるレンズ系と、このレンズ系の入射光を電気信号に光電変換するCCDのような固体撮像素子とで構成される撮像部と、固体撮像素子からの出力信号を入力してカメラにおける信号処理を行うカメラ信号処理部と、カメラ信号処理部からのデジタル映像信号を入力しVTR用信号の処理を施すVTR信号処理部と、記録時にVTR信号処理部からの出力デジタル信号を磁気テープに記録し、再生時に磁気テープに記録している情報を再生する記録再生系と、レンズ系、固体撮像素子、カメラ信号処理部、VTR信号処理部、記録再生系を制御する制御系とで構成されている。

【0004】

固体撮像素子を通常よく使用される汎用の色差線順次補色インターラインタイプCCDの場合について説明すると、カメラ信号処理部では撮像素子から出力された映像信号を相関二重サンプリング(CDS)回路に入力する。CDS回路から出力された映像信号は、自動利得調整(AGC)回路に入力した後、A/D変換器によりA/D変換され、デジタル信号に変換された後、デジタル信号処理回路(DSP)に入力される。DSPでは前記信号に対して所定のデジタル信号処理を行い、輝度信号成分Yを得る。また、色信号を同時化した後、色差信号である $C_r (=R - Y)$ 、 $C_b (=B - Y)$ の2種類の信号を得て出力する。前記映像信号のホワイトバランスの調整及び映像信号の信号レベルをゲイン調整するAGC制御を制御系からの制御信号に応じて行うなどの処理を行っている。

【0005】

VTR信号処理部は、カメラ信号処理部からのデジタル映像信号により映像信号を出力端子を介して出力する。VTR信号処理部には、制御系からVTRの

デジタル記録フォーマットに対応したデジタルVTR信号を生成する制御信号が供給される。このデジタル記録フォーマットについては後述する。

【0006】

記録再生系は、記録時にVTR信号処理部からの供給される映像信号を回転ヘッド・ドラムに配設した回転磁気ヘッドを介して磁気テープの記録トラックにデジタル信号フォーマットにて動画や静止画として記録している。また、再生時に記録再生系は、磁気テープの記録トラックに記録されているデジタル映像信号を動画や静止画として回転ヘッド・ドラムを介して再生する。

【0007】

図8は装置全体の動作タイミングを取るための制御系から出力される同期信号および制御信号パルスの発生回路例を示したものである。図8において、基準クロック発生器801によって発生したクロックは、水平パルス用カウンタ802及び水平ラッチ回路803に入力される。水平パルス用カウンタ802にクロックが入力されると、クロック数に応じてカウンタ出力が変化し、水平パルス用ROM804のアドレスデータが変化する。水平パルス用ROM804には、レンズ系、固体撮像素子、カメラ信号処理部、VTR信号処理部、記録再生系を制御するのに必要な制御パルスに関するデータが書き込まれており、アドレスの変化にともない水平パルス用ROM804のデータ出力も変化し、そのデータをラッチ803によりラッチし、HDなど水平同期および撮像素子水平駆動制御、水平制御パルスなど水平方向に関するパルスを出力する。垂直方向も同様に水平ラッチ803からのHDなどの水平同期信号をカウントし、VDなど垂直同期及び撮像素子垂直駆動制御、垂直制御パルスなど垂直方向に関するパルスを出力する。

【0008】

カメラ信号処理部およびVTR信号処理部などのデジタル映像信号処理回路(DSP)にも基準クロックが与えられる。この基準クロックに同期して制御系から出力される同期信号HD、VDおよび制御信号パルスによりデジタル映像信号を演算処理し、基準クロックに同期してデータラッチされてデジタル映像信号データの受け渡しが行われる構成で前記各回路系は動作を開始し、処理を

行っている。

【0009】

【発明が解決しようとする課題】

前述したVTR信号処理部から出力されるデジタル記録フォーマット映像信号は、フォーマット化したパラレルバス信号であるので、装置に内蔵した記録再生系に出力する以外にも装置外に外部端子を経由して取り出し、コンピュータ画像処理を行うなどの応用が可能である。

【0010】

VTR信号処理部は、通常、ゲートアレイプロセスを使用して種々の回路機能をマクロセル化した上でのセルライブラリの組み合わせによるシステムLSI製造手法によりIC化される。前述のような仕様を満足する目的および内蔵した記録再生系へ正確にデジタル信号を伝送するためVTR信号処理部をIC化するに際し、VTR信号処理部の出力最終段にさらに付加するパラレルバスドライブ回路は、他の回路に比べ電流ドライブ能力の大きいドライブセルを使用することが通常である。

【0011】

図9に従来のVTR信号処理部の処理最終段とパラレルバスドライブ回路の配置について例示する。

【0012】

ところでVTR信号処理部104から出力されるデジタル記録フォーマット映像信号は例えば図4に示すようなフォーマットに基づいて変換されている。図4はデジタル記録を行う場合の代表的な記録フォーマットCCIR Rec 601（民生用デジタルカムコーダーのデジタル信号フォーマット）の8ビットパラレル信号の概要を示したものであるが、これらのデジタル信号フォーマットにはHブランキング期間の始点と終点に4ワードのデータを付加するように指定されている。この付加データ（EAV，SAV）の内容を図5に示す。

【0013】

図5に示したように付加データ中に全ビット1から0に変化するビットが存在しており、全ビットが同位相で変化することから遷移ポテンシャルは最大となる

【 0 0 1 4 】

しかしながらこれ以外のHブランキング部分および画像データ部分のデータ配置は、C b ・ Y 1 ・ C r ・ Y 2 の点順次のため各ビットの変化は不同となり、同位相、逆位相、無変化が積分されて常に小さく結果的に画像データ部分の遷移ポテンシャルは小さいものとなる。

【 0 0 1 5 】

このためV T R 信号処理部の出力最終段に付加したパラレルバスドライブ回路が他の回路に比べ電流ドライブ能力の大きいドライブセルを使用することから、前記変化ビットの遷移点においてのみパラレルバスドライブ回路の電源部および接地部に多大な貫通電流が流れることで、他の回路との共通インピーダンス成分の存在による電圧変動となって現れるノイズの発生が避けられず、このノイズ成分が前述のC D S 回路に混入してA G C ゲインが高い場合などこの変化がタテスジの固定パターンノイズとなることがあった。

【 0 0 1 6 】

図 7 は固定パターンノイズが発生する場合のパラレルバスドライブ回路出力およびC D S 回路動作のタイミングを示すタイミングチャート図である。図 7 において、7 0 1 は基準クロック、7 0 2 はパラレルバスの点順次データ配置の例であり、8 ビットパラレルバス信号のうちの1 つのバスの時間的な配列を示している。7 0 3 は7 0 2 のHブランキング部分中のデータ配置のE A V 部分を示したもので矢印で示した4 ビット分がE A V であり、図示しない残りの7 つのバスの信号とともに4 ワードを構成する。同様に7 0 4 は7 0 2 のHブランキング部分中のデータ配置のS A V 部分を示したもので矢印で示した4 ビット分がS A V であり、図示しない残りの7 つのバスの信号とともに4 ワードを構成する。7 0 5 は7 0 4 のデータ配列によるビットの遷移点に発生したノイズ成分の例であり、図示したようにS A V の第一ワードの立ち上がりおよび立ち下がり遷移点に発生するノイズが他のビットに比べ大きいものとなる。また、7 0 6 は固体撮像素子から出力される撮像映像信号を模式的に示した波形であり、図中のA はリセット期間、B は基準レベルであるフィールドスルー期間、C は光電変換信号出力期間

であり、A、B、Cを1周期として繰り返す構成で撮像映像信号を出力している。なお、図7においては固体撮像素子の駆動周期が基準クロック701の周期の2倍である場合を例示した。

【0017】

さらに図7において、707は706のは固体撮像素子出力撮像映像信号をCDS回路に入力して処理する際のBのフィールドスルー部をサンプリングする位相パルス、708はCの光電変換信号をサンプリングする位相パルスである。これらのサンプリングパルスの位相および開口長はCCD出力波形に応じて最もCDS回路の効果（通常4～5dBのリセット雑音，出力アンプ雑音に対するノイズ抑圧効果）が得られる位置に設定されており、一意的に決定される。706には705のノイズ成分がDのタイミングで撮像映像信号に混入してくる様子を示している。

【0018】

図6はこのノイズが混入した場合の映像信号出力の模式図である。同図において、601は撮像素子信号出力時点での画像信号位置を示し、斜線部分は撮像素子光電変換領域上に設けられた光学的黒ビット列を含む有効映像信号領域を示す。

【0019】

602はパラレルバスドライブ回路出力時点での画像信号位置を示し、斜線部分はHブランキングとVブランキングの位置を示す。602は、水平方向の基準となるHDの位置に対して主にカメラ信号処理およびVTR信号処理にてデジタル映像信号の演算およびデータラッチ処理が何度も繰り返されることにより処理された時間分、601に対して水平方向に遅延している。

【0020】

この処理時間は処理内容で異なるが、前述の汎用の色差線順次補色インターラインタイプ固体撮像素子の場合は、カメラ信号処理部およびVTR信号処理部などのデジタル映像信号処理では通常100クロック程度の遅延が発生する。なお1水平ラインメモリなどを使用した垂直方向の同時化処理などによる垂直方向のライン遅延分は、水平方向の遅延とは方向が異なるためここでは考慮しない。

ものとする。この100クロックの遅延分は、1水平期間分に相当するクロック数を約1700クロック(27MHz)としておよそ1/17である。

【0021】

図6では、処理時間が水平同期期間の1/17程度であるものとして例示したこのパラレルバスドライブ回路出力時点での画像信号中の特定のビット位置に発生したノイズが、撮像素子信号出力時点での画像信号に混入し、そのノイズ位置は同様に処理時間分水平方向に遅延した位置に固定パターンノイズとして出現することになる。

【0022】

そこでこのノイズの混入を避けるために、前記の撮像素子・CDS・AGC・A/Dのアナログ信号処理部分の機能を有するICチップと、パラレルバスドライブ回路を内蔵したDSPICであるVTR信号処理部の機能を有するICチップは、それぞれのICチップの電源・接地回路の分離状態・実装位置・回路パターンの引き回し等に充分注意をして配置し、これを防止している。

【0023】

ところで最近のICの製造技術において回路パターンの微細化が進み、1チップに多様な機能を盛り込めるようになった。例えば前述したCDS・AGC・A/D機能を一つに統合したICが出現している。カメラ信号処理とVTR信号処理を統合して処理を行うDSPICはすでに既知のものである。この2つのICは同一のCMOSプロセスで製造可能であるから、将来的には統合されて1チップにて撮像素子からの撮像信号を直接入力し、デジタル記録フォーマット映像信号を直接出力するような大規模なICが出現してくる。

【0024】

この場合、ICチップ内の回路配置および電源・接地回路の分離をいくら工夫してもCDS・AGC・A/Dのアナログ信号処理部分とVTR信号処理部、パラレルバスドライブ回路は近接した位置に配置されるため、前述したノイズ混入が防止できない。

【0025】

そのためCDS・AGC・A/Dのアナログ信号処理部分とVTR信号処理部

、パラレルバスドライブ回路までを統合したいいわゆる1チップ信号処理ICを実現するにあたって、前述したノイズ混入の防止手段が必要とされている。

【0026】

本発明は、このような状況のもとでなされたもので、信号処理部の出力回路最終段に付加したパラレルバスドライブ回路の出力などの影響により発生するノイズを除去できる撮像装置を提供することを目的とするものである。

【0027】

【課題を解決するための手段】

前記目的を達成するため、本発明では、撮像装置を次の(1)ないし(4)のとおりに構成する。

【0028】

(1) 光学系からの入射光を光電変換したのちにリセット期間と基準レベルであるフィールドスルー期間と光電変換信号期間とにより構成された信号を所定周期で繰り返す撮像信号を出力する固体撮像素子と、この固体撮像素子から出力された撮像信号を相関二重サンプリング回路に入力して得られたCDS回路出力の映像信号をさらに処理して所定のデジタル記録フォーマット形式映像信号に変換して出力する映像信号処理部とを備えた撮像装置において、前記映像信号処理部は、前記デジタル記録フォーマット形式映像信号の水平帰線期間中に付加された映像信号データの水平方向のスタート位置およびエンド位置を示すビット列中の特定のビットのデータ遷移点が前記相関二重サンプリング回路におけるフィールドスルー期間および光電変換信号期間をサンプリングする期間に時間的に重ならないようにする信号遅延手段を有する撮像装置。

【0029】

(2) 前記(1)記載の撮像装置において、前記信号遅延手段は、遅延時間が固定されているものである撮像装置。

【0030】

(3) 前記(1)記載の撮像装置において、前記信号遅延手段は、遅延時間量がプログラム可能なものである撮像装置。

【0031】

(4) 前記(1)記載の撮像装置において、前記遅延手段は、前記映像信号処理部の最終段回路とこれに接続されるデジタルパラレルバスドライブ回路との間に設けられている撮像装置。

【0032】

【発明の実施の形態】

以下本発明の実施の形態をカメラ一体型デジタルビデオテープレコーダの実施例により詳しく説明する。

【0033】

【実施例】

(実施例1)

図1は、実施例1である“カメラ一体型デジタルビデオテープレコーダ”の構成を示すブロック図である。図1に示すように本実施例は、レンズを透過した入射光を結像させるレンズ系101とこのレンズ系101からの入射光を電気信号に変換する固体撮像素子102とで構成される撮像部と、固体撮像素子102からの出力信号を入力してカメラにおける信号処理を行うカメラ信号処理部103と、カメラ信号処理部103からの映像信号を入力しVTR用信号の処理を施すVTR信号処理部104と、記録時にVTR信号処理部104からの出力信号を磁気テープに記録し、再生時に磁気テープに記録している情報を再生する記録再生系105と、VTR信号処理部104からの映像信号を制御信号に応じて一時的に書き込み、また書き込まれた映像信号を制御信号に応じて読み出す映像メモリ部106と、レンズ系101，固体撮像素子102，カメラ信号処理部103，VTR信号処理部104，記録再生系105，映像メモリ部106を制御する制御系108とで構成される。

【0034】

レンズ系101は、複数のレンズ群で構成されている。レンズ系101は、固体撮像素子102，カメラ信号処理部103を介して供給される信号から制御系108が出力する制御信号でレンズ系101の不図示のアイリスメータを制御する。このアイリス制御により、レンズ系101は入射光量を絞って調整されて露出制御が行われる。固体撮像素子102は、電子シャッタの開閉制御等の各種タ

イミング制御が制御系 1 0 8 からの制御信号に応じて行われる。また、このタイミング制御によって、固体撮像素子 1 0 2 は、例えば現行放送方式の一つである N T S C 方式に準拠した映像信号をカメラ信号処理部 1 0 3 に出力する。

【 0 0 3 5 】

固体撮像素子 1 0 2 を通常よく使用される汎用の色差線順次補色インターライントップの場合について説明すると、カメラ信号処理部 1 0 3 では、撮像素子 1 0 2 から出力された映像信号を相関二重サンプリング回路 (C D S) に入力する。ここでは、撮像素子 1 0 2 での電荷転送時に発生するリセット雑音や $1/f$ ノイズを取り除き、黒レベルの変動や横引きノイズのない映像信号として整える。C D S 回路から出力された映像信号は、自動利得調整 (A G C) 回路によって、ゲインを調整された後、A/D変換器によりA/D変換され、デジタル信号に変換された後、デジタル信号処理回路D S Pに入力される。D S Pでは前記信号の輝度、色分離を行い、輝度については γ 変換部で γ 変換を行い、K n e e変換部でK e e変換を行い、最後にローパスフィルタによって帯域制限することにより輝度信号成分Yを得る。また、色信号を取り出すためには色分離回路から得られる線順次色差信号を同時化した後、輝度信号とのマトリクス処理にてR, G, Bの原色に変換した後、ホワイトバランスゲインコントロールを受け、色用の γ 変換部で γ 変換を行い、K n e e変換部でK n e e変換を行い、最後にR-Y, B-Yの2種類の色差信号にマトリクス変換されて出力される。前記映像信号のホワイトバランスの調整及び映像信号の信号レベルをゲイン調整するA G C制御を制御系 1 0 8 からの制御信号に応じて行っている。

【 0 0 3 6 】

V T R信号処理部 1 0 4 は、カメラ信号処理部 1 0 3 からのデジタル映像信号により映像信号を出力端子 1 0 7 を介して出力する。V T R信号処理部 1 0 4 には、制御系 1 0 8 からV T Rのフォーマットに対応したデジタルV T R信号を生成する制御信号が供給される。また、V T R信号処理部 1 0 4 は、カメラ信号処理部 1 0 3 からのデジタル映像信号を、制御系 1 0 8 のメモリ制御信号に応じて映像メモリ部 1 0 6 に出力する。このV T R信号処理部 1 0 4 には、特殊効果処理を施すため、供給された映像信号に対してデジタルエフェクト信号処

理部を設けている機種もある。

【0037】

前記映像メモリ部106は、例えばフィールドメモリやフレームメモリで構成される。映像メモリ部106は、前述したように制御系108によるメモリ106への信号の書込み／読出し制御が行われる。

【0038】

記録再生系105は、記録時にVTR信号処理部104からの供給される映像信号を回転ヘッド・ドラムに配設した回転磁気ヘッドを介して磁気テープの記録トラックにデジタル信号フォーマットにて動画や静止画として記録している。また、再生時に記録再生系105は、磁気テープの記録トラックに記録されているデジタル映像信号を動画や静止画として例えば回転ヘッド・ドラムを介して再生する。

【0039】

遅延回路110は、VTRのデジタル記録フォーマットに対応したデジタルVTR信号の形成を終了したVTR信号処理部104の最終段回路109とデジタルパラレルバスドライブ回路111の間に設けられる。

【0040】

遅延回路110には最終段回路109から得られるデジタル記録フォーマット形式映像信号出力が入力さ、遅延回路110はデジタルパラレルバスドライブ回路111から出力されるデジタル記録フォーマット信号の水平帰線期間（Hブランキング）中に付加された映像信号データの水平方向のスタート位置およびエンド位置を示すビット列中の特定のビットのデータ遷移点が、相関2重サンプリング（CDS）回路におけるフィールドスルー期間および光電変換信号期間をサンプリングする期間に時間的に重ならないようにデジタル記録フォーマット信号を所定時間遅延する。遅延回路110の遅延時間は最大でも基準クロックの1周期分あれば充分である。

【0041】

例えば基準クロック周波数を27MHzとすれば、1周期は約37nS（ナノ秒）であるから通常3～4nSの伝播遅延時間を有する高速バッファタイ

プのC-MOSゲートを、前記データ遷移点が相関2重サンプリング(CDS)回路におけるフィールドスルー期間および光電変換信号期間をサンプリングする期間に時間的に重ならないようなタイミングとなるように数個直列に配置すれば実現は容易である。

【0042】

図2はデジタル記録フォーマット信号を所定時間遅延したことでCDS回路におけるノイズの混入が無くなったことを示すタイミングチャート図である。図2に示したようにデジタルパラレルバスドライブ回路111から発生するノイズ位置がサンプリングの開口期間に掛からない位置になるように遅延回路110の遅延時間を設定したものである。

【0043】

前記遅延時間は固体撮像素子102の駆動タイミングおよびこのタイミングによって一意的に決定されたCDS回路におけるサンプリングタイミングに対するそれ以降の回路すなわち前述したCDS回路、AGC回路、A/D回路およびカメラ信号処理DSP回路、VTR信号処理部DSP回路による信号処理回路の総合的な伝播遅延量に応じて決定される。

【0044】

なお、遅延回路110の位置は、本実施例ではVTRのデジタル記録フォーマットに対応したデジタルVTR信号の形成を終了したVTR信号処理部104の最終段回路109とデジタルパラレルバスドライブ回路111の間としたが、これに限定されるものではなく、説明したタイミングが得られるのであれば回路の中のいずれにあっても良く、これに合わせて必要とする各制御系パルスも遅延回路にて同時間シフトすれば良いため本実施例に限らずその他種々の構成が採り得る。

【0045】

また、本実施例は先に説明したようにCDS・AGC・A/Dのアナログ信号処理部分とVTR信号処理部パラレルバスドライブ回路までを統合したいわゆる1チップ大規模信号処理ICを実現する際にももちろん有効であるが、従来のように撮像素子・CDS・AGC・A/Dのアナログ信号処理部分の機能を有する

ICチップとパラレルバスドライブ回路を内蔵したDSPICであるVTR信号処理部の機能を有するICチップを別体としてそれぞれ配置する場合でも従来のようにICチップの電源・接地回路の分離状態・実装位置・回路パターンの引き回し等に注意する必要がなくなり、すなわち回路配置の自由度が高まり高密度実装が可能となるため、カメラ一体型デジタルビデオテープレコーダの回路基板をコンパクトに製作することが可能となる。

【0046】

さらに本実施例における固体撮像素子は汎用の色差線順次補色インターラインタイプとしたが、このタイプに限定される事はなく、他の単板色コーディング方式であっても良いし、さらに例えばRGBそれぞれに撮像素子を割り当てる3板撮像素子方式のような多板固体撮像素子を使用する場合であっても良い。また、記録再生系のフォーマットも限定されるものでなく、あらゆるデジタル記録フォーマット形式のビデオテープレコーダに使用できることは明かである。

【0047】

(実施例2)

図3は、図1における遅延回路110を、図1に示したような固定遅延時間方式に対して可変遅延時間方式に置き換えた例である。以下この例を実施例2として説明する。

【0048】

図3においては、直列に設置した高速バッファタイプC-MOSゲート301のそれぞれの出力をマルチプレクサ302に接続し、マルチプレクサ302にて選択された信号入力によるデジタルパラレルバスドライブ回路から発生するノイズ位置がCDS回路におけるノイズ混入の最も少ないタイミングとなるように遅延時間量がプログラム可能であるように構成してある。このように構成すれば例えば固体撮像素子の駆動周期を変更した場合およびCDS回路、AGC回路、A/D回路等を変更した結果、全体の伝播遅延時間が変化した場合にも容易に対応できる。

【0049】

【発明の効果】

以上説明したように、本発明によれば、信号処理部の出力最終段に付加したパラレルバスドライブ回路から発生した遷移ポテンシャルの大きいビットからのノイズの映像信号への混入を防止でき、CDS・AGC・A/Dのアナログ信号処理部分と信号処理部パラレルバスドライブ回路までを統合したいわゆる1チップ大規模信号処理ICを実現可能とし、さらに従来のように撮像素子・CDS・AGC・A/Dのアナログ信号処理部分の機能を有するICチップとパラレルバスドライブ回路を内蔵したDSPICである信号処理部の機能を有するICチップを別体としてそれぞれ配置する場合でも、従来のようにICチップの電源・接地回路の分離状態・実装位置・回路パターンの引き回し等に注意する必要がなくなり、すなわち回路配置の自由度が高まり高密度実装が可能となるため、カメラ一体型デジタルビデオテープレコーダの回路基板をコンパクトに製作することが可能となる。

【図面の簡単な説明】

【図1】 実施例1の構成を示すブロック図

【図2】 実施例1の動作を示すタイミングチャート図

【図3】 実施例2における遅延回路部を示すブロック図

【図4】 記録フォーマットであるCCIR Rec 601の説明図

【図5】 記録フォーマットCCIR Rec 601の説明図

【図6】 従来例におけるノイズ発生位置を示す模式図

【図7】 ノイズ発生混入を示すタイミングチャート

【図8】 同期信号および制御信号パルスの発生回路の構成を示す図

【図9】 VTR信号処理部の処理最終段とパラレルバスドライブ回路の配置を示すブロック図

【符号の説明】

102 固体撮像素子

103 カメラ信号処理部

104 VTR信号処理部

109 最終段回路

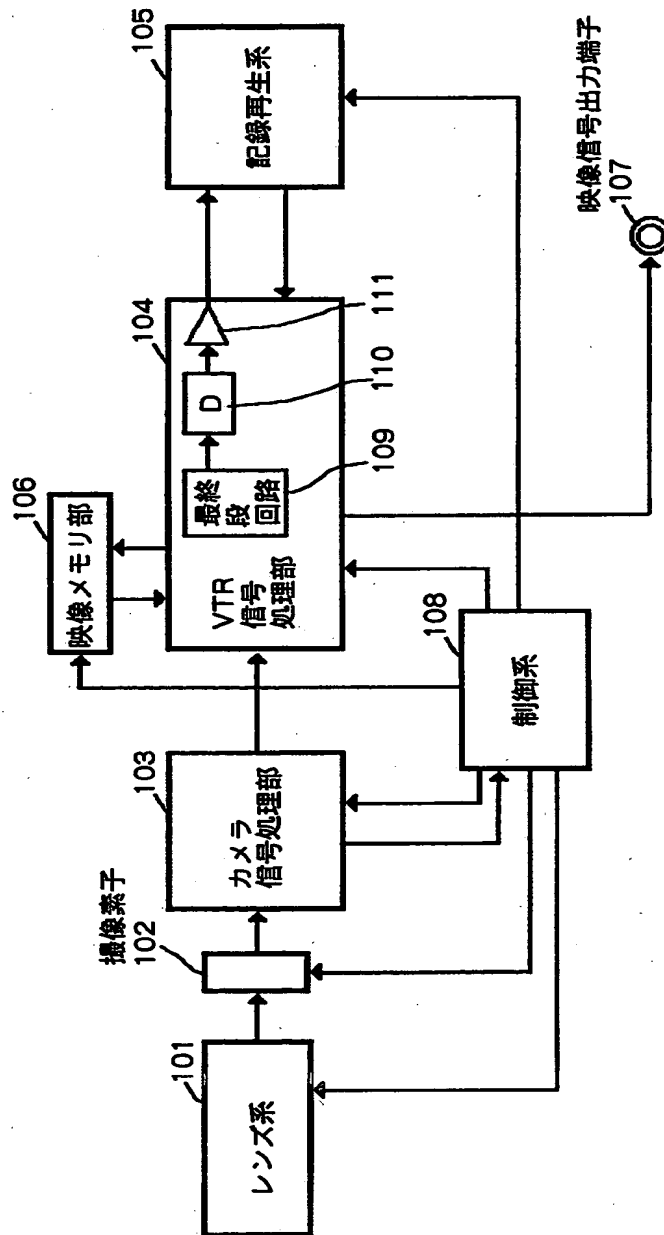
110 遅延回路

111 デジタルパラレルバスドライブ回路

【書類名】 図面

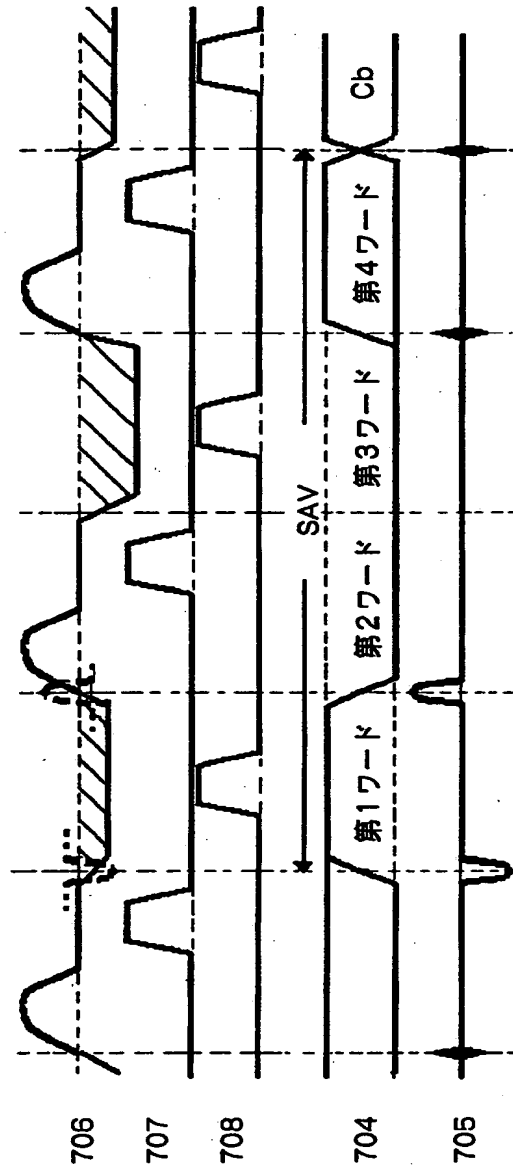
【図 1】

実施例 1 の構成を示すブロック図

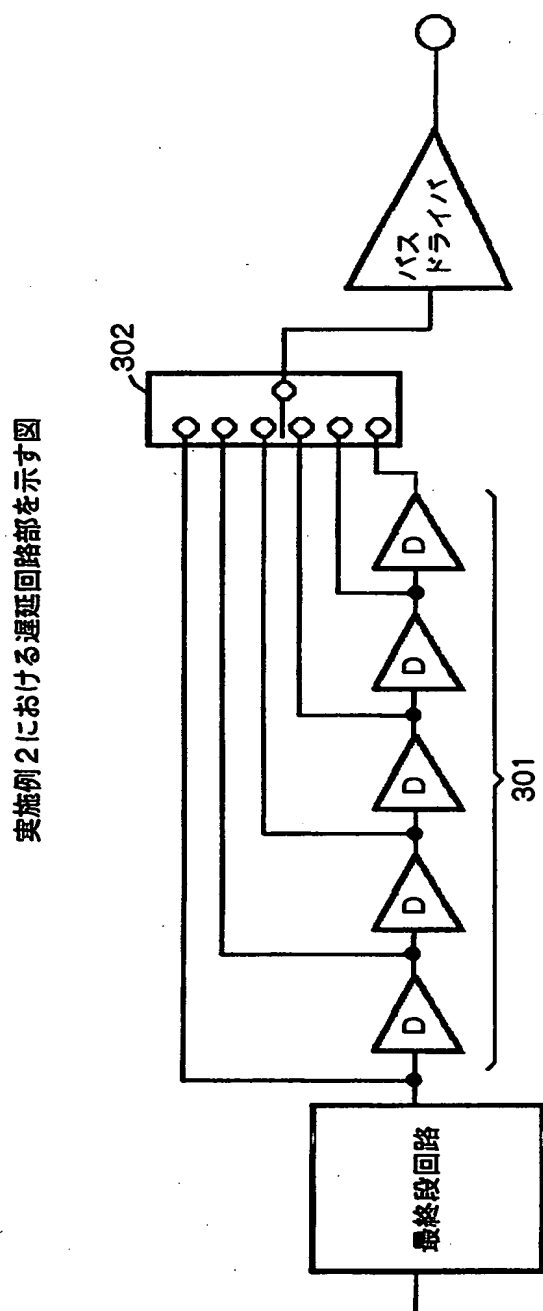


【図2】

実施例1の動作を示すタイミングチャート



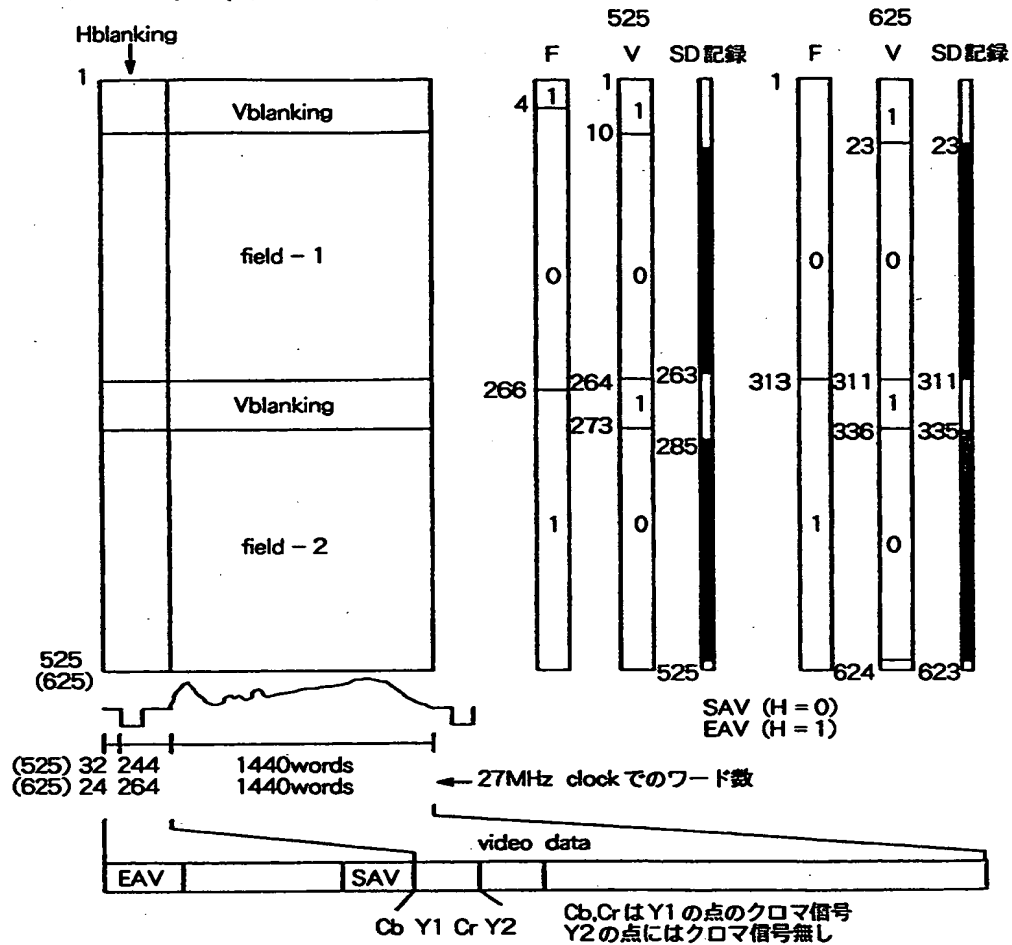
【図 3】



【図4】

記録フォーマットである CCIR Rec 601 の説明図

4:2:2:1/F (CCIR Rec601/SMPTE 125M準拠)



【図 5】

記録フォーマット CCIR Rec 601 の説明図

EAV、SAVの内容

	MSB	6	5	4	3	2	1	LSB
第1ワード	1	1	1	1	1	1	1	1
第2ワード	0	0	0	0	0	0	0	0
第3ワード	0	0	0	0	0	0	0	0
第4ワード	1	F	V	H	P3	P2	P1	P0

F	V	H	P3	P2	P1	P0
0	0	0	0	0	0	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	0
1	0	0	0	1	1	1
1	0	1	1	0	1	0
1	1	0	1	1	0	0
1	1	1	0	0	0	1

video data 中に 00h、ffh は使用しない

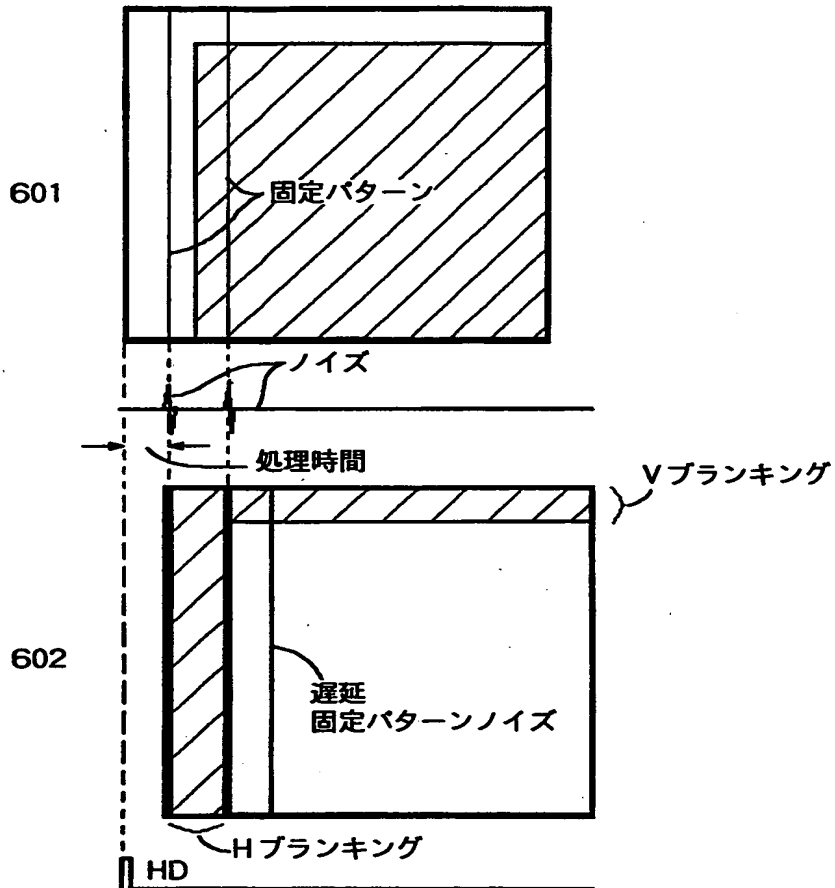
SAV、EAV以外 (blanking) は 10h (pedestal level) で埋める Cb,Crの位置は 80h で埋める

SAV、EAVは全 line (Vblanking 中も) に存在する

parityは送信側は常に付加し、受信側での使用は任意

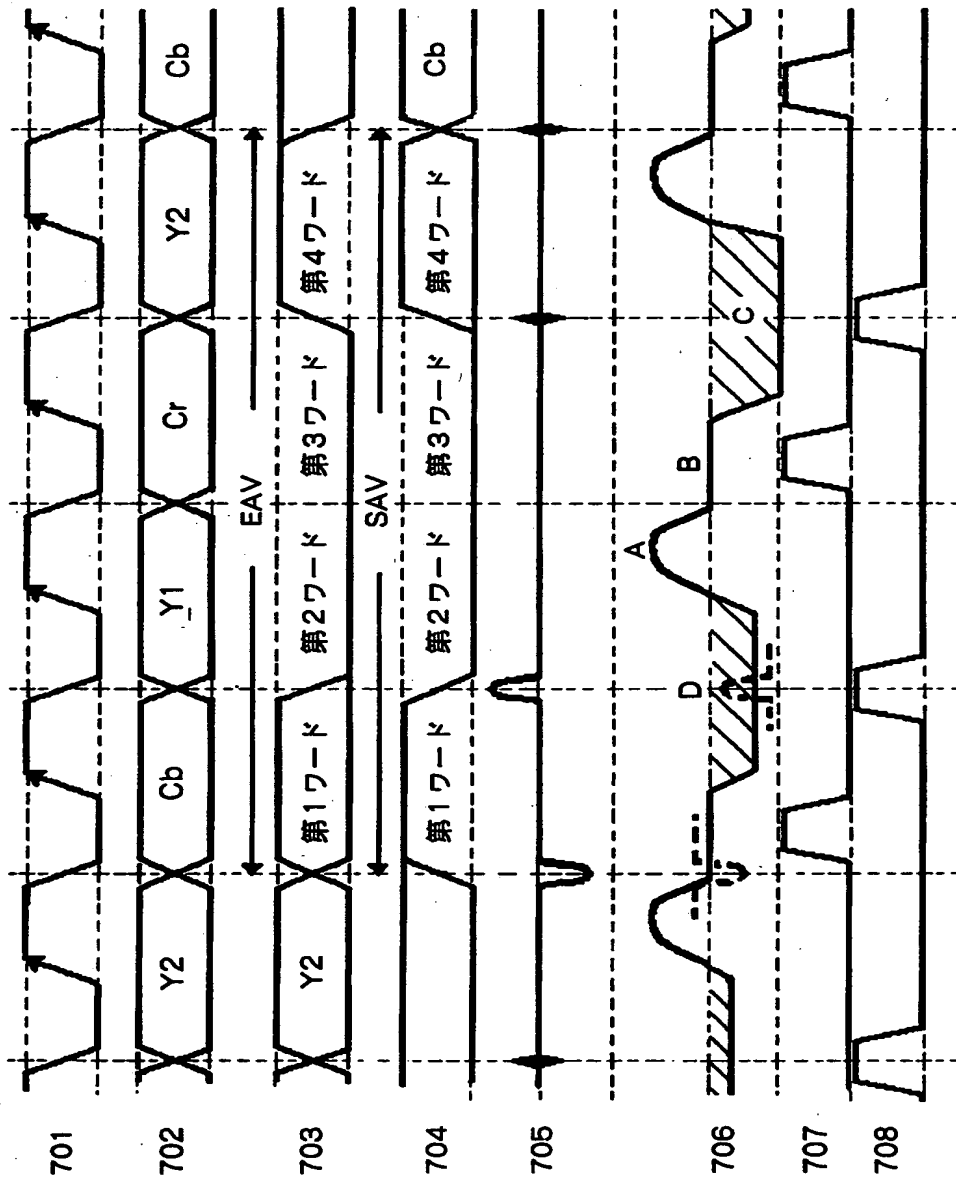
【図 6】

従来例におけるノイズ発生位置を示す模式図



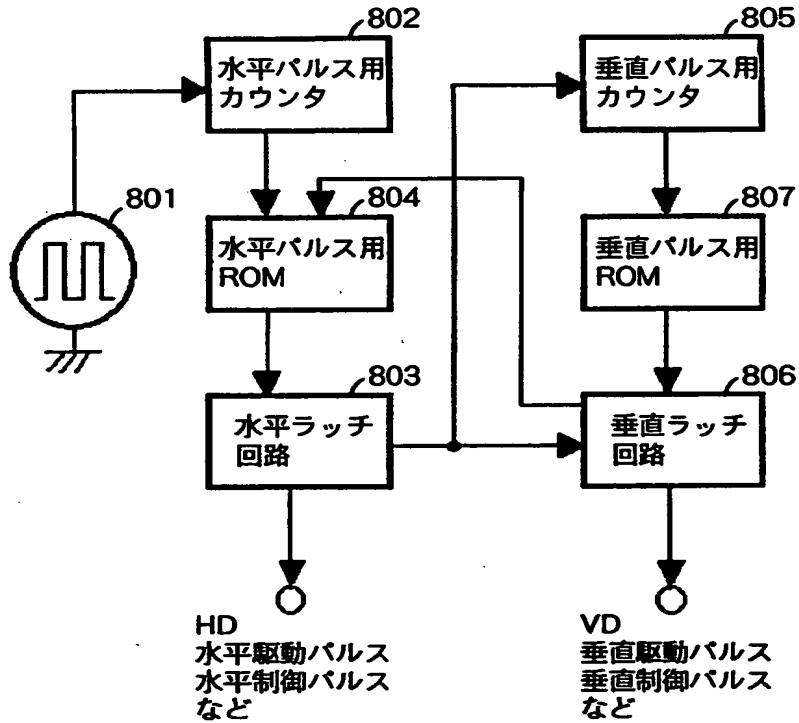
【図7】

ノイズ発生混入を示すタイミングチャート



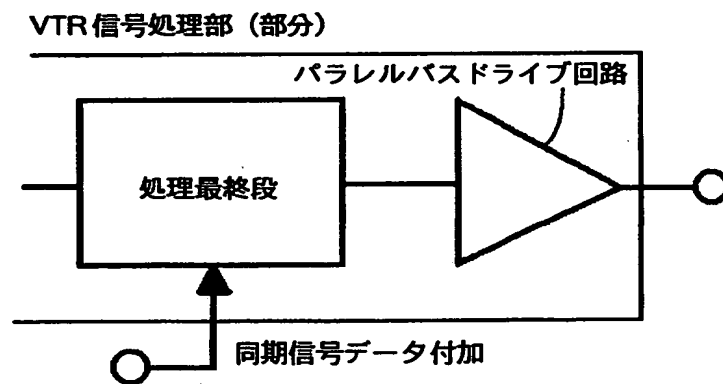
【図 8】

同期信号および制御信号の発生回路の構成を示すブロック図



【図 9】

VTR 信号処理部の処理最終段とパラレルバスドライブ回路の配置を示すブロック図



【書類名】 要約書

【要約】

【課題】 信号処理部 1 0 4 の出力回路最終段 1 0 9 に付加したパラレルバスドライバ回路 1 1 1 の出力などの影響により発生するノイズを除去できる撮像装置を提供する。

【解決手段】 V T R 信号処理部 1 0 4 に、デジタル記録フォーマット形式映像信号の水平帰線期間中に付加された映像信号データの水平方向のスタート位置およびエンド位置を示すビット列中の特定のビットのデータ遷移点が、相関 2 重サンプリング回路におけるフィールドスルー期間および光電変換信号期間をサンプリングする期間に時間的に重ならないように映像信号を遅延させる遅延回路 1 1 0 を挿入する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号
氏 名 キヤノン株式会社